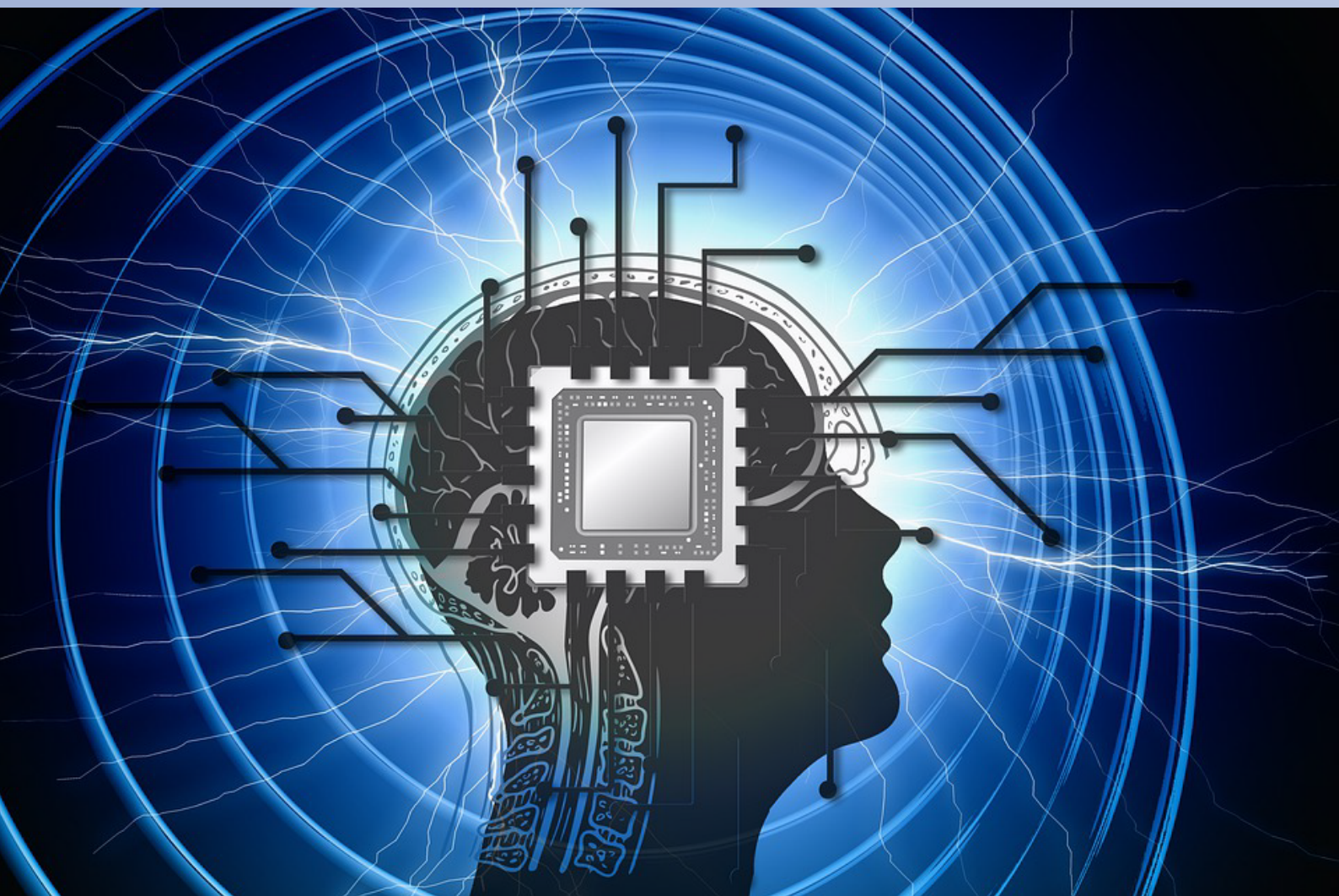


天堂之芯

— 快讯

- 浙江省半导体行业协会
- 杭州国家“芯火”双创基地（平台）
- 国家集成电路设计杭州产业化基地|孵化器
- 浙江省集成电路设计与测试产业创新服务综合体
- 浙江省集成电路设计公共技术平台

指导单位：浙江省经济和信息化厅



目录

CONTENTS

芯资讯 INFORMATION

- ▲ 工信部：前7个月规上电子信息制造业增加值同比增长18.7% - 01
- ▲ 台积电更新封装技术路线图 - 03
- ▲ 台媒：台积电从10月起全线涨价 - 26
- ▲ 众合科技子公司拟建设半导体级硅单晶基地 - 28

芯企业 ENTERPRISE

- ▲ 杭州晟元数据安全科技股份有限公司 - 30
- ▲ 杭州芯耘光电科技有限公司 - 32
- ▲ 北京网讯科技有限公司 - 36

工信部：前7个月规上电子信息制造业增加值同比增长18.7%

8月23日,工信部公布2021年1—7月电子信息制造业运行情况。

1—7月,规模以上电子信息制造业增加值同比增长18.7%,增速比上年同期提高12个百分点。7月,规模以上电子信息制造业增加值同比增长13.0%,增速比上年同期提高1.2个百分点。



图1 2020年7月以来电子信息制造业增加值和出口交货值分月增速

图片来源：工信部

1—7月,规模以上电子信息制造业累计实现出口交货值同比增长15.0%,增速比上年同期提高9.9个百分点。7月,规模以上电子信息制造业实现出口交货值同比增长4.4%,增速比上年同期回落6.3个百分点。

1—7月,电子信息制造业固定资产投资同比增长25.4%,增速比上年同期提高14.7个百分点。



图3 2020年1-7月以来电子信息制造业固定资产投资增速变动情况

图片来源：工信部

7月,主要产品中,手机产量1.3亿台,同比下降2.1%,其中智能手机产量9496.3万台,同比下降6.9%;微型计算机设备产量3597.1万台,同比增长10.3%;集成电路产量315.7亿块,同比增长41.3%。

据海关统计,1—7月,我国出口笔记本电脑1.3亿台,同比增长40.8%;出口手机5.3亿台,同比增长9.4%;出口集成电路1785亿个,同比增长35.1%;进口集成电路3682.9亿个,同比增长27.4%。

(来源：集微网)

台积电更新封装技术路线图

自从与苹果在手机芯片合作上一炮而红之后，关于台积电的封装的讨论就常常见诸于各大媒体。昨日，台积电研发 VP 余振华参加了一年一度的集成电路产业盛会 Hotchips，并在上面讲述了台积电在先进封装方面的路线图，当中尤其聚焦在 chiplet 和 3D 封装方面，进行了深入阐释。为此，半导体行业观察将其摘要分享给大家，希望能够给大家带来帮助。

在具体介绍余振华的演讲之前，我们先看一下台积电公司对其的介绍。

余振华博士现任台积电 Pathfinding for System Integration 副总经理。余振华博士于 1994 年加入台积电，负责后段研发相关的多种业务，并成功地开发 0.13 微米铜制程的关键制程技术。余博士同时领先推出台积电的晶圆级系统整合技术，包括 CoWoS®、整合型扇出 (InFO) 封装技术和台积电系统整合芯片 (SoIC™) 及其相关技术。2016 年以前，余振华博士于 Integrated Interconnect & Packaging 处担任资深处长一职。

加入台积电之前，余振华博士是美国 AT&T 贝尔实验室的研究员和项目负责人。1987 年至 1994 年间，余博士致力于次微米制程，组件及整合技术研发工作。

以下为余振华博士的演讲重点摘要：

Outline

- Introduction
 - Industry Transition
- TSMC Packaging Technologies
 - 3DFabric™- SoIC™, InFO and CoWoS®
 - System scale-up and Interconnect scale-down
- New Heterogeneous Integrations
 - Advanced Thermal Solutions
 - Si Photonics Integration (COUPE)
- Summary



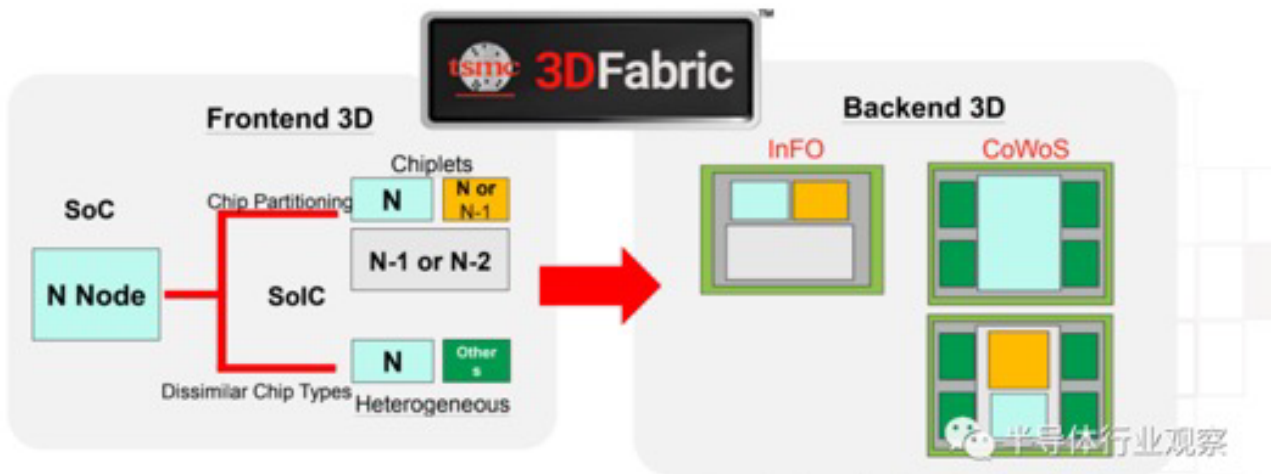
半导体行业观察

据余博士介绍，公司之所以会在封装上面关注，主要是在综合考量率成本、性能、功耗、上市时间、灵活性和可伸缩性等多个方面。如下图所示，台积电在面向前段和后段，都有其相应对应的 3D 封装结束，而公司将其统一到一个叫作 3D Fabirc 的平台里。而在其中包括了其 2.5D 和 3D 封装产品。



TSMC Integration Technologies

- Cost, Performance, Power, Form Factor
- Time to Market, Flexibility and Scalability



而据之前的报道，其中，2.5D 封装技术 CoWoS 可分为 CoWoS 和 InFO 系列。首先看 CoWoS 技术，可以分为以下几种：

1.CoWoS-S

用于 die 到 die 再分布层 (redistribution layer: RDL) 连接的带有硅中介层的“传统”基板上晶圆上芯片 (chip-on-wafer-on-substrate with silicon interposer) 正在庆祝其大批量制造的第 10 年。

2.CoWoS-R

CoWoS-R 选项用有机基板中介层取代了跨越 2.5D die 放置区域范围的（昂贵的）硅中介层。CoWoS-R 的折衷是 RDL 互连的线间距较小——例如，与 CoWoS-S 的亚微米间距相比，有机上的间距为 4 微米。

3.CoWoS-L

在硅 -S 和有机 -R 中介层选项之间，TSMC CoWoS 系列包括一个更新的产品，具有用于相邻 die 边缘之间（超短距离）互连的“本地”硅桥。这些硅片嵌入有机基板中，提供高密度 USR 连接（具有紧密的 L/S 间距）以及有机基板上（厚）导线和平面的互连和功率分配功能。

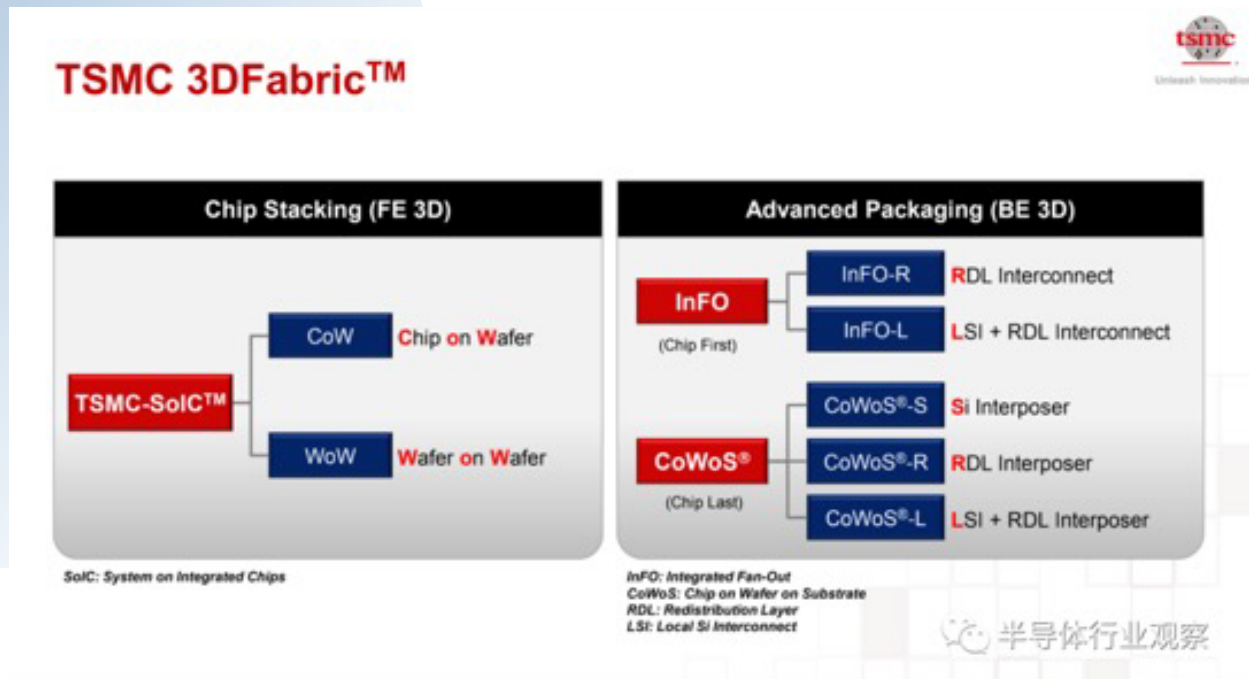
请注意，CoWoS 被指定为“chip last”组装流程，芯片连接到制造的中介层。

再看 2.5D 封装技术 InFO。

据介绍，InFO 在载体上使用（单个或多个）裸片，随后将这些裸片嵌入 molding compound 的重构晶圆中。随后在晶圆上制造 RDL 互连和介电层，这是“chip first”的工艺流程。单 die InFO 提供了高凸点数选项，RDL 线从芯片区域向外延伸——即“扇出”拓扑。多 die InFO 技术选项包括“InFO-PoP: package-on-package”和“InFO-oS: InFO assembly-on-substrate”。

台积电的 3D 封装技术则是 SoIC。据台积电介绍，公司的 3D 封装与 SoIC 平台相关联，该平台使用堆叠芯片和直接焊盘键合，面对面或面对背方向 - 表示为 SoIC 晶圆上芯片 (chip on wafer)。硅通孔 (TSV) 通过

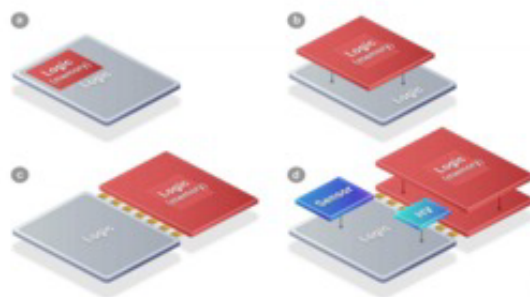
3D 堆栈中的 die 提供连接。



从余振华最新的介绍可以看到，在封装领域，现在正在产生一些新的变化：第一是先进晶圆厂的 chiplet 和 3D 封装技术将会开启一个新时代；第二就是为了满足 More Moore 和 More-than-Moore 的需求，行业看到从 CMOS 向 CSYS 转变的趋势。

New Transition

- Advanced foundry packaging technologies for chiplets and 3D can start a new era-
- Transition from CMOS to CSYS (Complementary Systems, SOCs and Chiplets integration) for More Moore's and More-than-Moore systems



Ref: TSMC 3D Fabric

半导体行业观察

在接下来的介绍中,余振华对 TSMC 的封装技术进行了更深入的介绍。

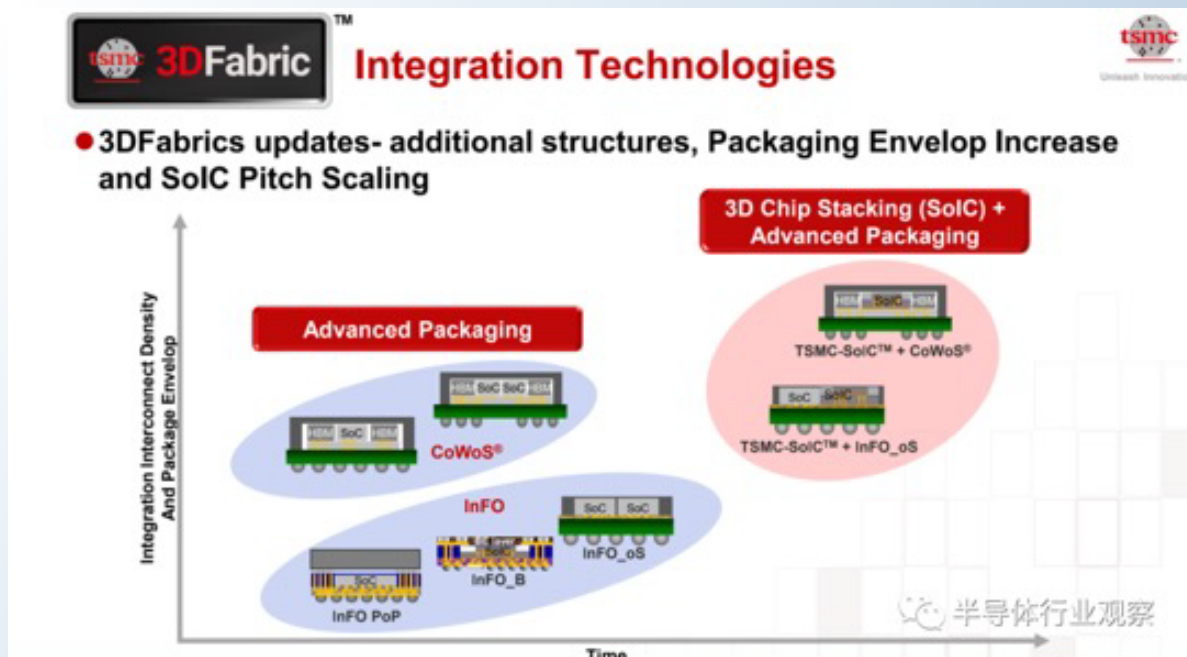
Outline

- Introduction
 - Industry Transition
- TSMC Packaging Technologies
 - 3DFabric™- SoIC™, InFO and CoWoS®
 - System scale-up and Interconnect scale-down
- New Heterogeneous Integrations
 - Advanced Thermal Solutions
 - Si Photonics Integration (COUPE)
- Summary



半导体行业观察

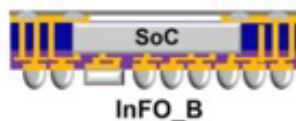
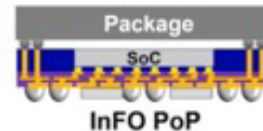
如下图所示,他对台积电的 3DFabrics 进行了更新。



其中,拥有针对移动 AP 的 InFO_B (Bottom Only) 技术。

InFO_B (Bottom Only) for Mobile AP

- Leverages high-volume InFO PoP experience
- Enables LPDDR DRAM package stacking at CM (Contract Manufacturers)
- Enhances performance with InFO's lower parasitic (ACR/ACL) and TSMC's deep trench capacitor (DTC) technology



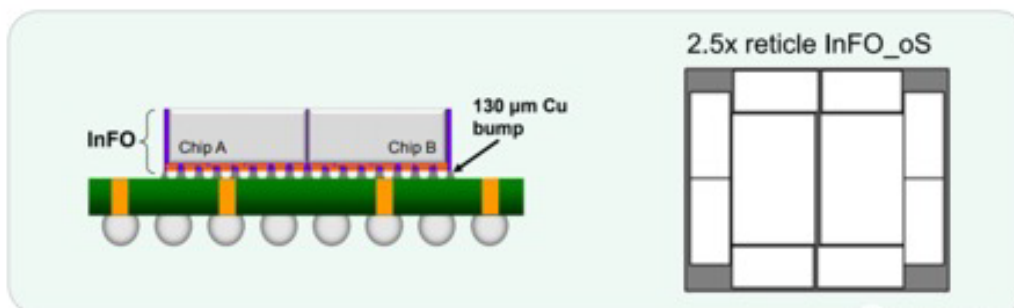
Attributes	Package Size 14x14mm	
	InFO_B	FCCSP
CPU voltage droop reduction	1.06X	1X
Max. chip size, mm ²	135	115
CPI sensitivity	Low	High
TIV/TMV pitch, μm	180	~270
Si thickness, μm	Up to 200	90

根据之前的介绍，InFO_PoP 其顶部连接了一个 DRAM 模块，在 DRAM 和 RDL 互连层之间有过孔。TSMC 正在更改此 InFO_PoP 产品，以使 (LPDDR DRAM) 封装组装能够在外部合同制造商 /OSAT 上完成，InFO_B 表示一个选项，如下所示。

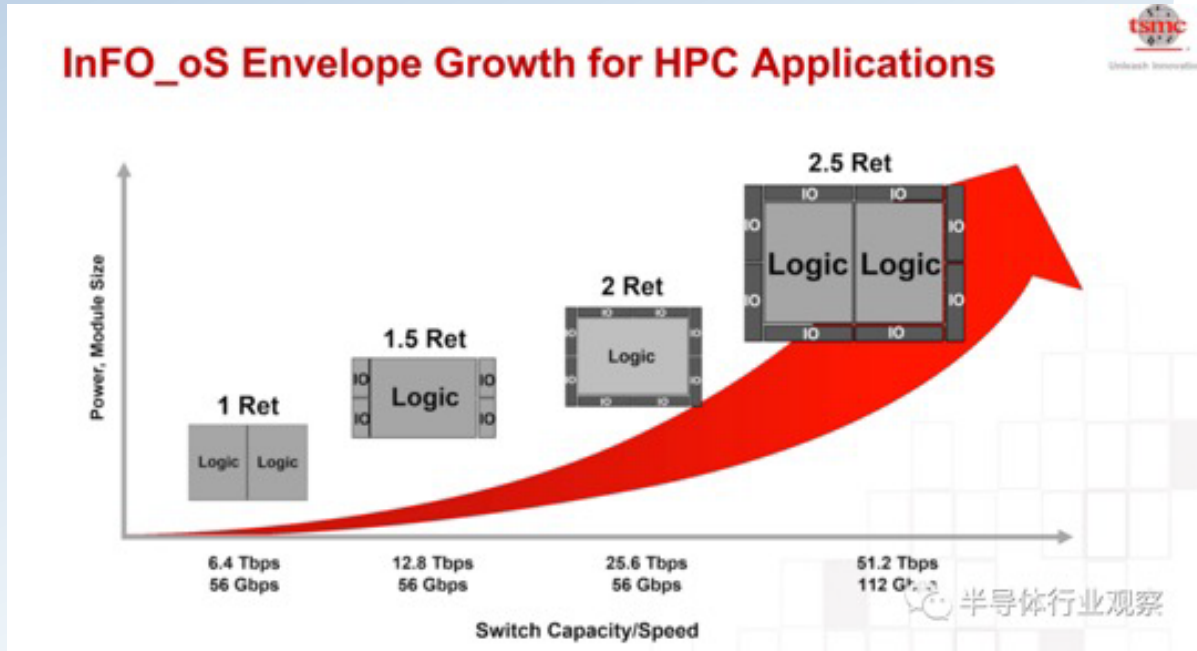
同时，还有针对 HPC 的 chiplet 集成技术 InFO-R/oS 的更新。

InFO-R/oS Update for HPC Chiplet Integration

- Offers Min. 2/2 μm 5x RDL layers with 130μm pitch Cu bump.
- 1.5x reticle InFO_oS in mass production since 2018, flexible floor plan
- Chiplet scheme 2 + 8, 2.5x Reticle (51x42mm), substrate 110mmSQ in '21



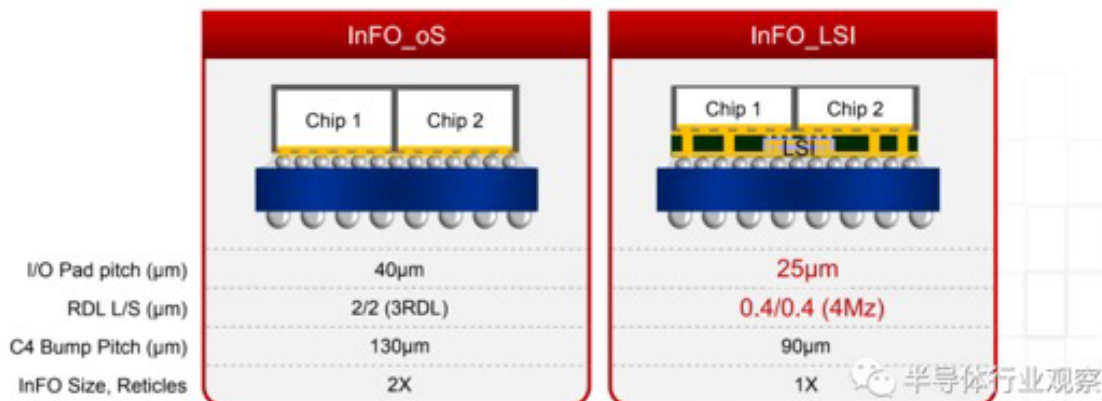
如下图所示，针对不同的需求，台积电能提供拥有不同特性的 InFO_oS 技术。如图所示，这些逻辑芯片被 SerDes 小芯片这样的 I/O 包围，以支持高速 / 高基数网络交换机。



接下来，余振华还介绍了超高带宽的 chiplet 集成 InFO-L/LSI。


InFO-L/LSI for UH-Bandwidth Chiplet Integration

- Integrating SoC chips with high-density Local Si Interconnect (LSI) and InFO technology



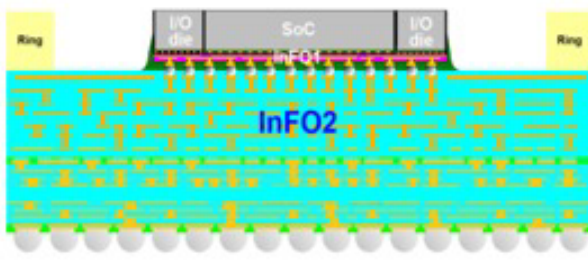
如图所示，面向超高性能的计算系统，台积电也提供了 InFO 技术支持。值得一提的是，在这个图中，台积电

电方面还提供了 tesla 的一个参考链接, 可以确定在 tesla 最新的 AI 芯片上, 采用了台积电的这个封装技术。相信这也将成为未来更多高性能芯片的选择。

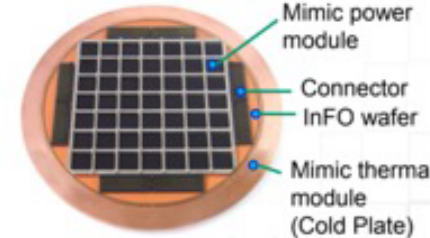

tsmc
Unleash Innovation

InFO for Ultra High Performance Compute Systems

- **InFO_SoIS (System-on-Integrate Substrate)**
- **InFO_SoW (System-on-Wafer)**




https://www.teslarati.com/tesla-ai-day-live-blog/



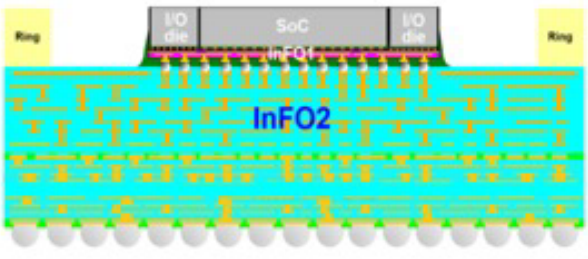
半导体行业观察

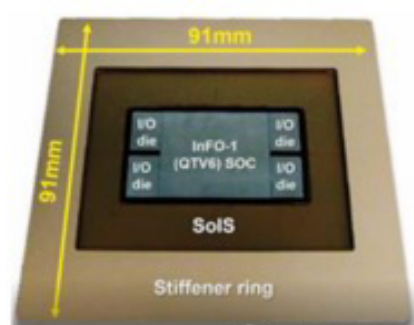
在 SoIS 方面, 台积电也获得了超高的良率。


tsmc
Unleash Innovation

SoIS (System on Integrated Substrate)

- Leverage InFO to build organic substrate for FC/InFO/CoWoS stacking with KGDs- chip, passives, components, PKGs and supporting substrate
- Achieve high yield- > 95% (91mmSQ), 100% yield 110mmSQ





半导体行业观察

2021 IEEE 71th Electronic Components and Technology Conference 2021 Virtual Conference

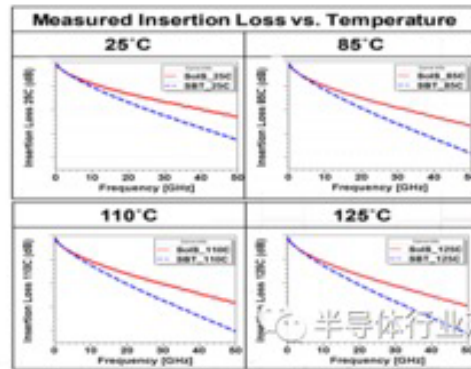
同时,在性能方面,SoIS 也表现出色。

SoIS Interconnect Performance



- SoIS exhibits ~25% and ~30% lower insertion loss than organic substrate over 25°C to 125°C at 28GHz and 50GHz, respectively.
- The varied temperature conditions (over 25°C to 125°C) will not impact the measured insertion loss.

Insertion Loss vs Temperature		Diff Impedance= 90Ω			
		25°C	85°C	110°C	125°C
Insertion Loss @ 28 GHz	SoIS	~ 0.75x	~ 0.75x	~ 0.75x	~ 0.76x
	SBT (GL102)	1.0x	1.0x	1.0x	1.0x
Insertion Loss @ 50 GHz	SoIS	~ 0.7x	~ 0.7x	~ 0.7x	~ 0.71x
	SBT (GL102)	1.0x	1.0x	1.0x	1.0x

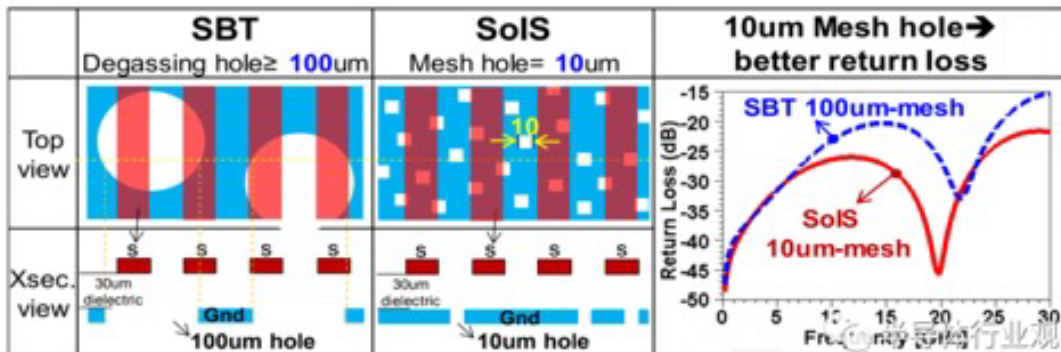


余振华同时还披露了 SoIS 的设计规则和功耗性能等多方面的信息。

SoIS Design Rule & Power Performance



- High-density routing capability with finer line pitch (< 10um pitch) & via (25um CD) to gain more SerDes pairs and mitigate signal crosstalk.
- Small mesh hole (10*10um) on P/G planes showed significantly better return loss (< -45dB).



当然,在可靠性方面,SoIS 的表现也不会让人失望。

SoIS Reliability Evaluation



- A 91mmSQ mechanical TV adopted to evaluate SoIS reliability
- Passed package-level reliability tests and microstructure sanity check after the reliability tests showing robustness.

Reliability	Test item	Result
Quick torture	MR6x (reflow 250°C)	Pass
CLR	MSL4a+TCG3000 (-40~125°C)	Pass
	MSL4a+uHAST 360hr (110°C/85%RH)	Pass
	HTS 1500hr (150°C)	Pass
BLR	TCJ 5000x (0~100°C)	Pass

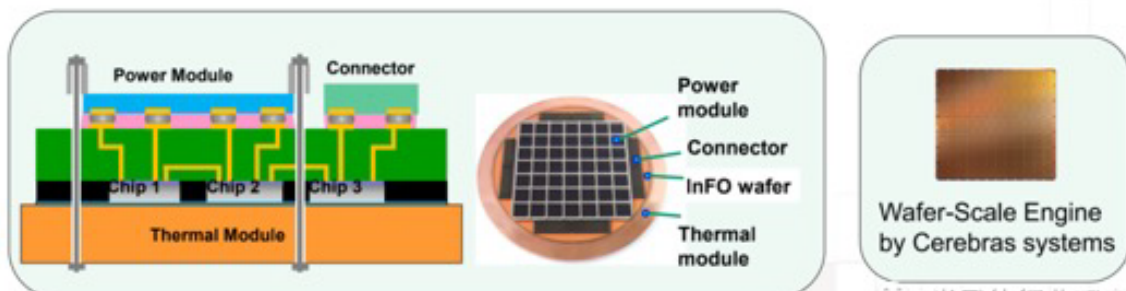
半导体行业观察

在介绍完 SoIS 之后，余振华介绍了台积电 InFO_SoW 技术的关键优势。具体如下图所示。值得一提的是，Cerebras 在其用单晶圆制造的 WSE 上，使用的正是这个封装技术。

Key Advantages of InFO_SoW



- Full-wafer system integration with KGDs, compact size with integrated PWR supply and thermal modules.
- Leverage InFO technology for maturity, high bandwidth density. Low latency C2C communication and low PDN impedance.
- Heterogeneous integration of compute, IO, memory, passives chiplets, etc.



半导体行业观察

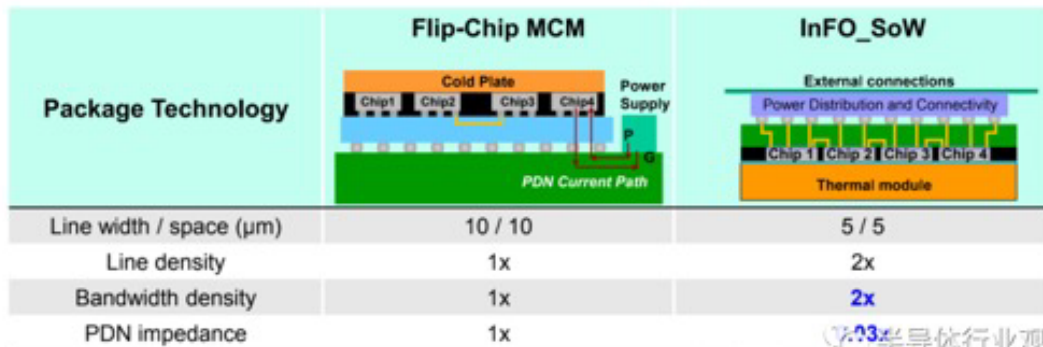
2020 IEEE 70th Electronic Components and Technology Conference | June 3 – June 30, 2020

将其与 MCM 相比，InFO_SoW 在线密度、带宽密度方面等多个方面都有明显的优势。



Benchmark MCM vs. InFO_SoW

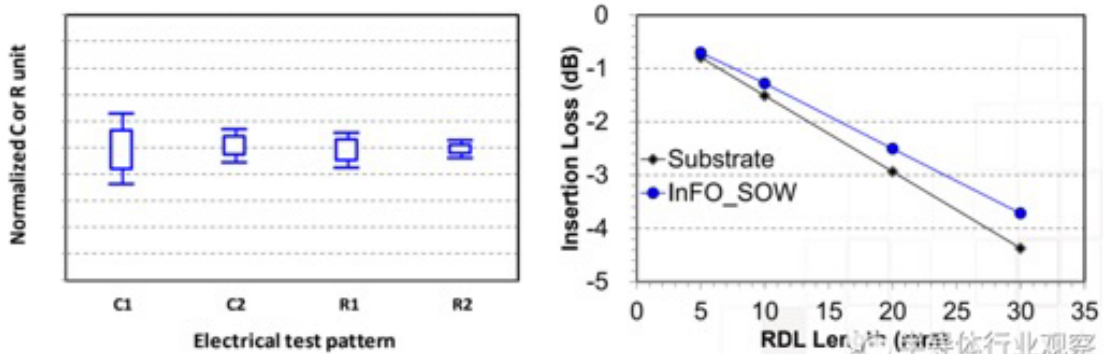
- Higher BW density (2x): Superior line density due to fine pitch RDL.
- Better power efficiency (0.03x PDN impedance): Simplified and low profile structure (without substrate or PCB).



从电气特性上看,如下图所示,InFO_SoW 也不遑多让。

Electrical Characterization

- Good process uniformity in R and C across the whole wafer.
- Higher quality Cu trace (vs. Substrate). 0.4/0.7 dB lower loss for RDL length 20/30mm at 28GHz, achieve 10/15% power saving, respectively.



从余振华的总结可以看到,这个技术在未来会有极大的发展空间。



InFO_SoW Summary

- Demonstrated industry-first full-wafer heterogeneous integration technology with good process control and high quality RDL across the whole wafer.

Electrical Performance	2x bandwidth density & 97% lower PDN impedance 15% power saving of the interconnects (line length 30mm @28GHz)
Thermal Solution	Scalable POC thermal solution: TDP 7000 W (power density 1.2 W/mm ²) Maximal temp. <90°C
Process Robustness	Verified through wafer-level quick torture & system level reliability tests CPI risk is relatively low (<60% of qualified TV)

2020 IEEE 70th Electronic Components and Technology Conference | June 3 – June 30, 2020

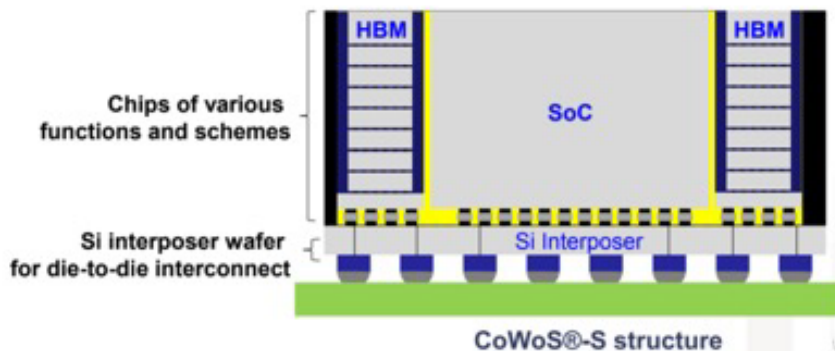
半导体行业观察

接下来，余振华谈到了 CoWoS-S 封装技术。如下图所示，这是一个已将量产超过十年的技术，且拥有极高的良率和质量，能够为先进的 SoC 和 HBM 集成提供非常好的支持。

CoWoS®-S Technology

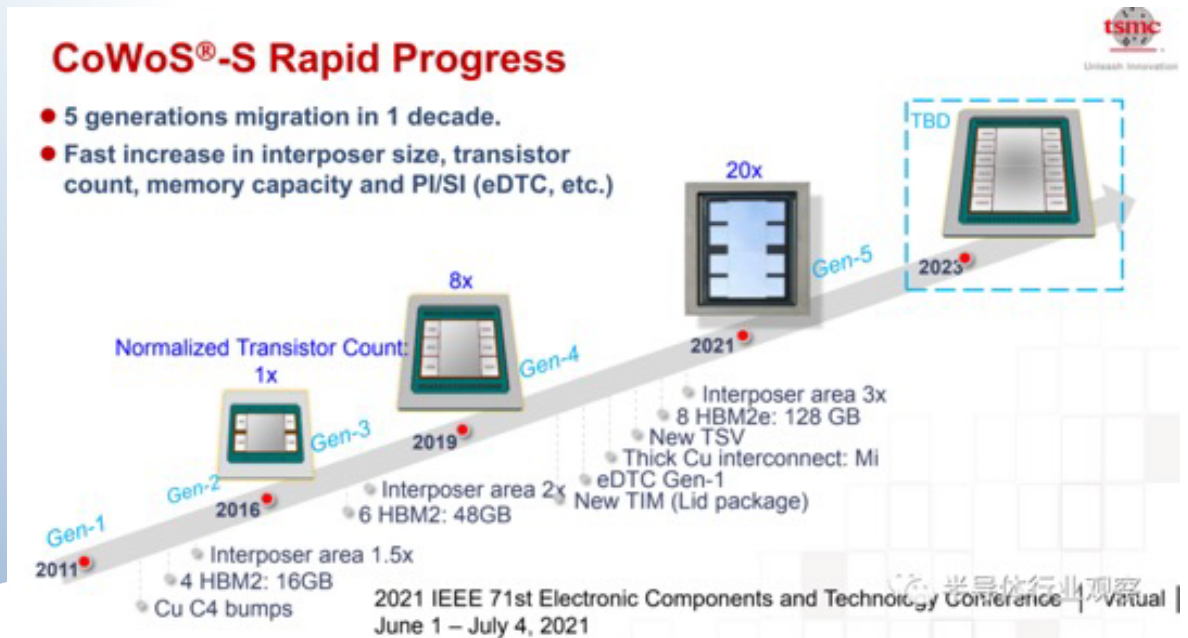


- Silicon interposer 2.5D system integration for advanced SoC and HBM.
- One decade of production with high yield and premium quality
- Continue to enrich the interposer features with extended envelope for HPC



半导体行业观察

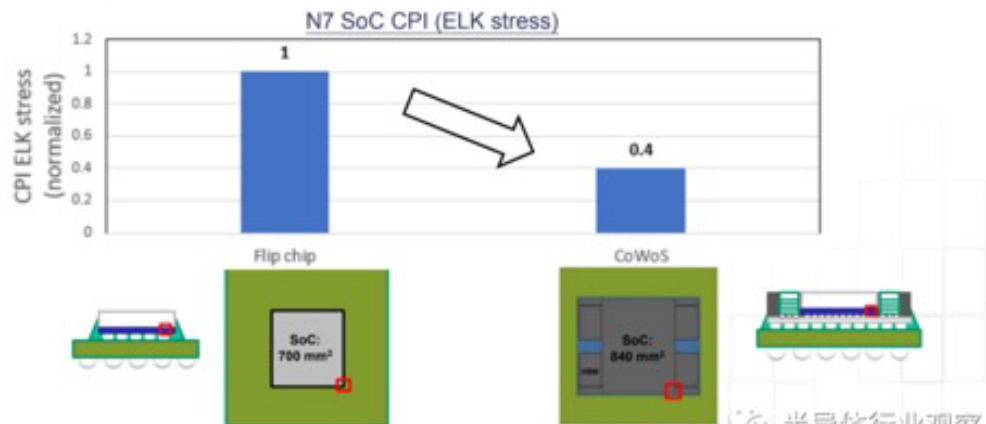
如下图所示，到 2023 年，公司将推出第五代的 CoWoS-S 技术。从相关规格可以看到，这个技术的每项参数都是在迅速增长。



在与 Flip-chip 技术相比时,CoWoS-S 的优势也是明显。

CoWoS[®]-S & Flip-chip CPI Comparison

- Leverage Cu/LK technology for high density interconnect
- Si interposer, a stress buffer between SoC and substrate, for reduced CPI



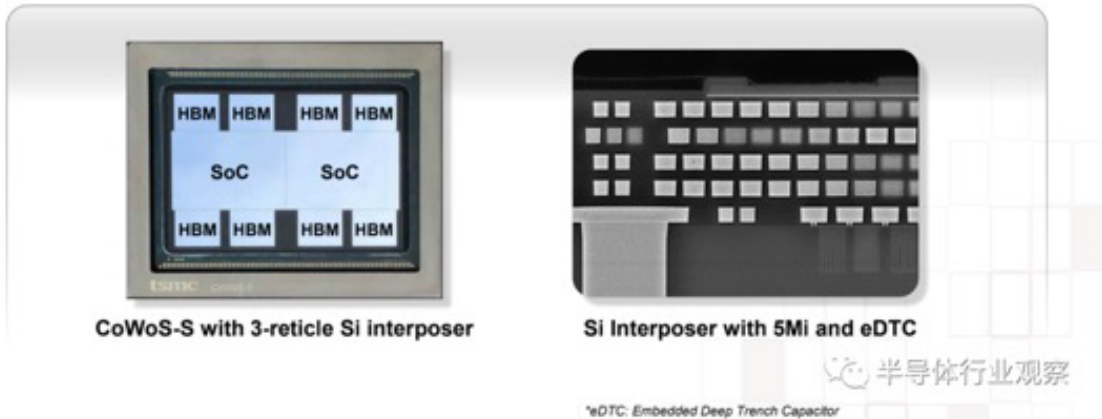
C.Y. Lu et al, IEEE 71st Electronic Components and Technology Conference June 1 – July 4, 2021

在面向 HPC 的应用方面,CoWoS 解决方案也表现尤其出色。

Leading CoWoS® Solutions for HPC

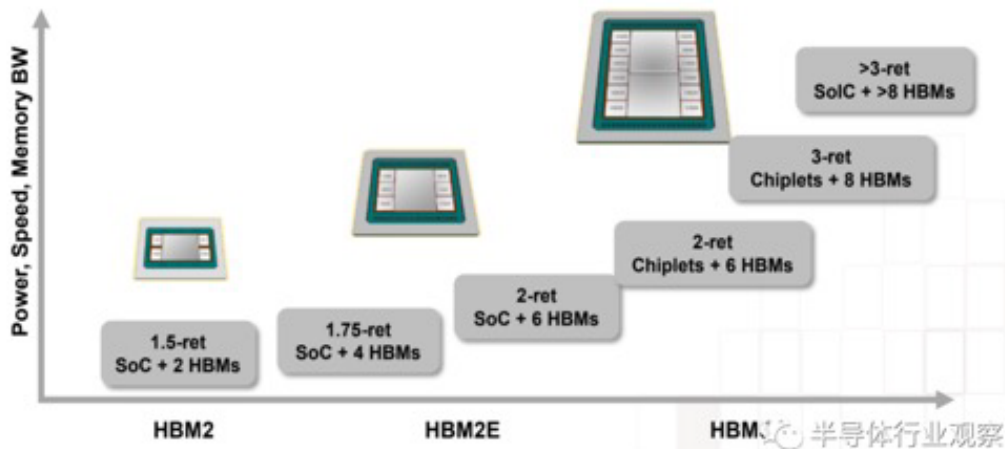


- Qualify 3-reticle Si interposer with thicker metal (5Mi), eDTC* and HBM2E in 2021 to further push for HPC.



余振华接着说,基于以上封装,并采用了 chiplet 集成之后,能够大幅降低系统的成本。

Chiplets Integration Reduces System Cost/function

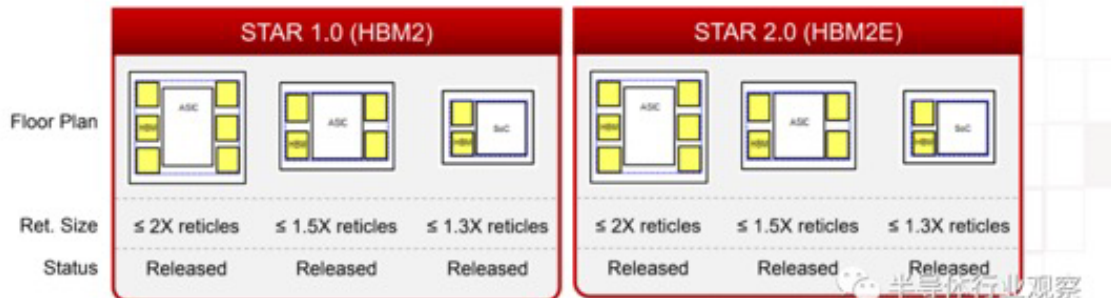


CoWoS-S STAR 则是台积电封装宝库里面的另一武器。如图所示,这个封装技术能够缩短设计时间,加速客户产品上市。这是一个在 2020 年被客户采用的技术,而到了 2021 年,台积电则能为客户提供更多选择。



CoWoS[®]-S STAR (STandard ARchitecture)

- Shorten design cycle time and faster time to market
- 100% success rate for STAR adopters in 2020.
- More flexible design options in 2021. Adoption rate to grow 4x in 2021



据报道，这个设计的实现是将单个 SoC 与多个高带宽存储器 (HBM) die 堆栈集成。逻辑芯片和 HBM2E (第二代) 堆栈之间的数据总线宽度非常大，即 1024 位。

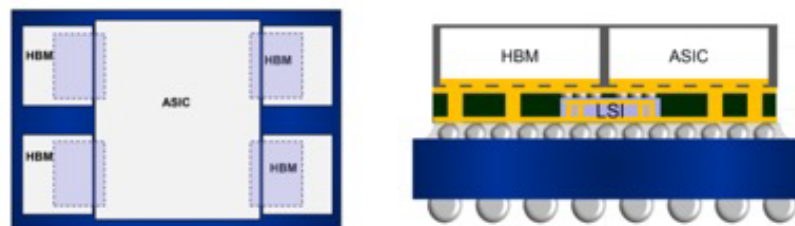
通过 RDL 将 HBM 堆栈连接到 SoC 的路由和信号完整性挑战是相当大的。TSMC 正在为系统公司提供多种标准 CoWoS-S 设计配置，以加快工程开发和电气分析进度。下图说明了一些不同的 CoWoS-S 选项，范围从 2 到 6 个 HBM2E 堆栈。

面向异构集成，台积电则提供了 CoWoS-L 封装技术。



CoWoS[®]-L For Heterogeneous Integration

- Leverage InFO and CoWoS to integrate Si bridge, passives and RDL to best optimize CT, yield learning, system performance and EoS, etc.
- TSV in LSI (Local Si Interconnect), active & passive chip integration optional for better performance, power integrity, and design flexibility



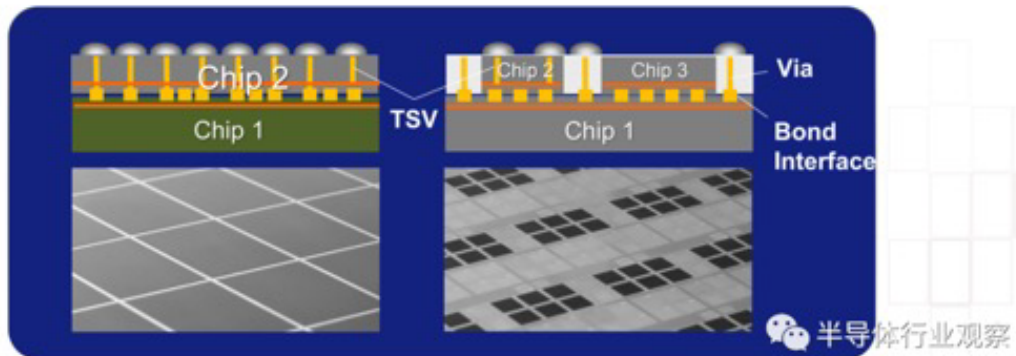
半导体行业观察

在介绍完 2.5D 之后，余振华接着介绍台积电的 3D 芯片堆栈——SoIC。



3D Chip Stacking- SoIC™

- CoW development: N7-on-N7 CoW and N5-on-N5, KGDs
- WoW Development: Logic-on-DTC (Deep Trench Capacitor). Demonstrated power droop reduction



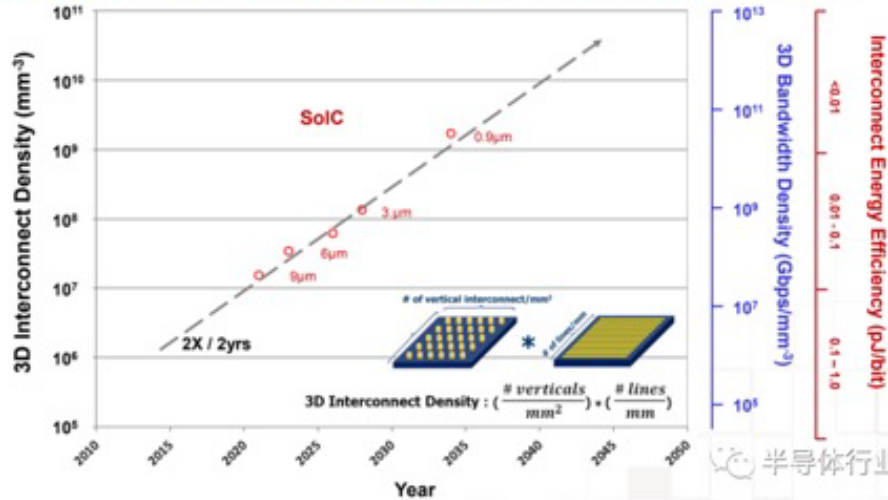
如下图所示，余振华披露了台积电 SoIC 的研发方向。

SoIC Development Direction



同时，余振华还透露了台积电 Inter-chip 互联的路线图。

Inter-chip Interconnect Scaling Roadmap

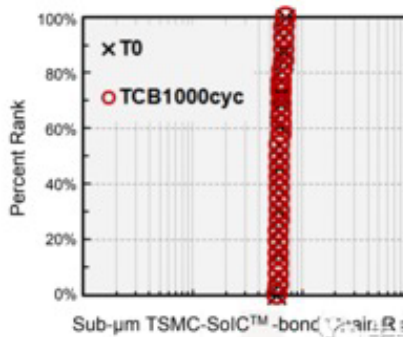
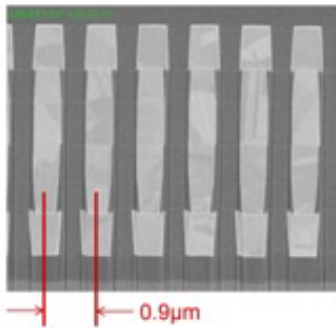


半导体行业观察

当中包括了亚微米的 CoW 互联。

Sub- μm CoW Interconnect Feasibility

- 0.9 μm bond pitch stacking
- Highly reliable after TCB 1000 cycle
- Enable direct integration of SoIC/bonding and SoC/BEOL interconnect



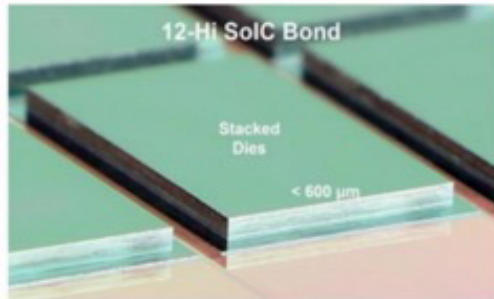
2020 IEEE 70th Electronic Components and Technology Conference | Virtual |

半导体行业观察

SoIC “Envelop Growth”



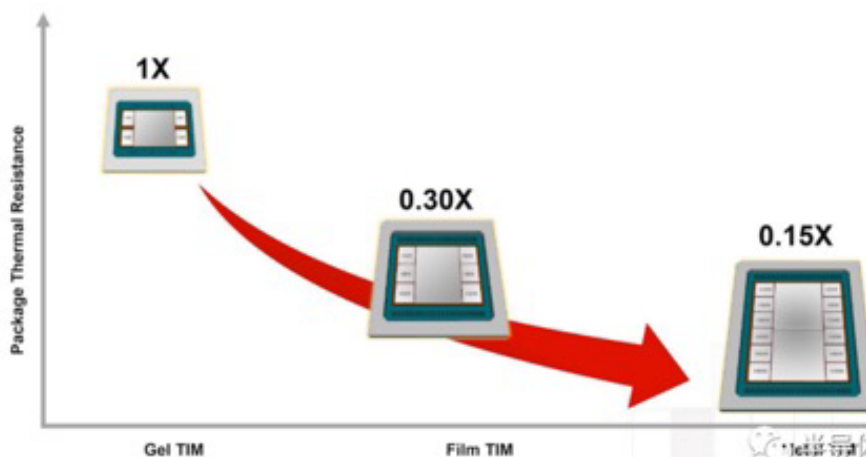
- Bigger SoIC can be achieved with either more/larger units (2D) or more layers (3D) to integrate more memory capacity and/or higher functions.
- Thermal wall need to be addressed to remove heat accumulated in 3D stacking.



Ref: IEEE Trans on Electron Devices, vol. 67, no. 12, 2020 半导体行业观察

在介绍完了一些之前其实也披露了不少的封装技术外，余振华还介绍了台积电的全新异构集成技术。当中包括了先进的热解决方案和硅光集成。

Thermal Solution Enhancement



TIM: Thermal Interface Material

首先看热解决方面，如上图所示，据报道，热界面材料 (thermal interface material: TIM) 薄膜通常包含在高级封装中，以帮助降低从有源 die 到周围环境的总热阻。(对于非常高功率的器件，通常应用两层 TIM 材料层——die 和封装盖之间的内层以及封装和散热器之间的一层。)

对应于更大封装配置的功耗增加，台积电先进封装研发团队正在寻求新的内部 TIM 材料选项。而面向 Ultra-HPC，台积电则提供了 Integrated Si Micro-Cooler (ISMC) 选项。

而面向 Ultra-HPC, 台积电则提供了 Integrated Si Micro-Cooler (ISMC) 选项。

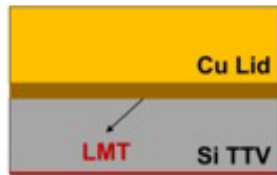
Slide 35

Integrated Si Micro-Cooler (ISMC) for Ultra-HPC

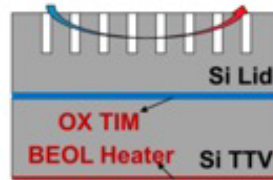


- Thin SiOx bonding interface (OX TIM) by fusion bonding Si lid and Si chips
- Low interface TR, even though K_{SiOx} at low single digit W/m·K

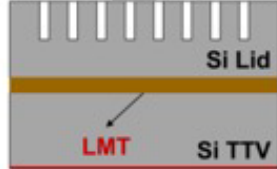
Cu Lid with LMT (Liquid Metal TIM)



Si Lid with OX TIM



Si Lid with LMT (Liquid Metal TIM)



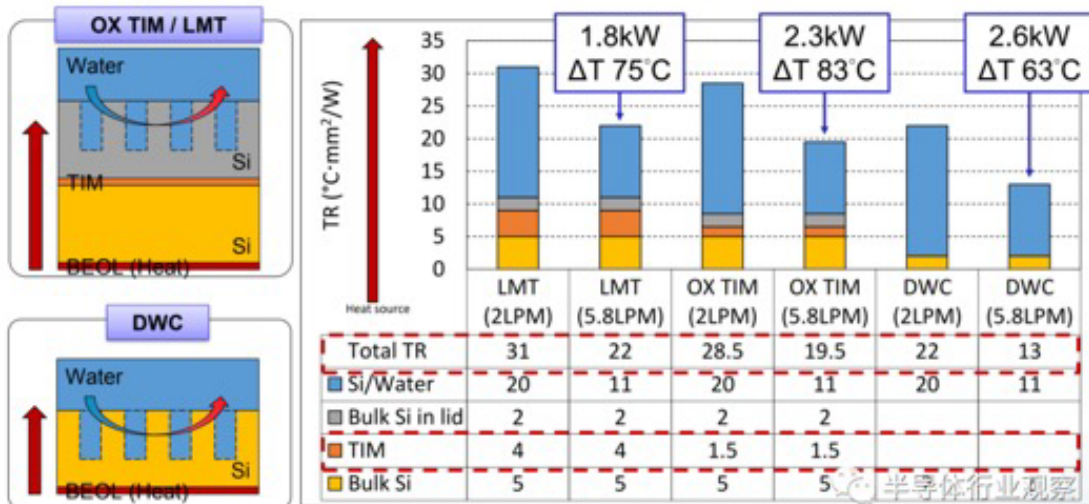
DWC (Direct Water Cooling)



半导体行业观察

具体的散热性能 benchmark, 则如下图所示:

Cooling Performance Benchmark



半导体行业观察



ISMC Summary

- Leverage 3DFabric to develop new Ox TIM to replace LMT, achieved $TR \sim 2 \text{ K} \cdot \text{mm}^2/\text{W}$, 50% reduction from LMT.
- Demonstrated fusion bond Si lid (OX TIM) provides **kW level** heat dissipation solution for large chip size ($>500\text{mm}^2$).
- Further improvement on the thermal performance obtained from DWC scheme. Mechanical strength of the new structures and their reliability will be studied.



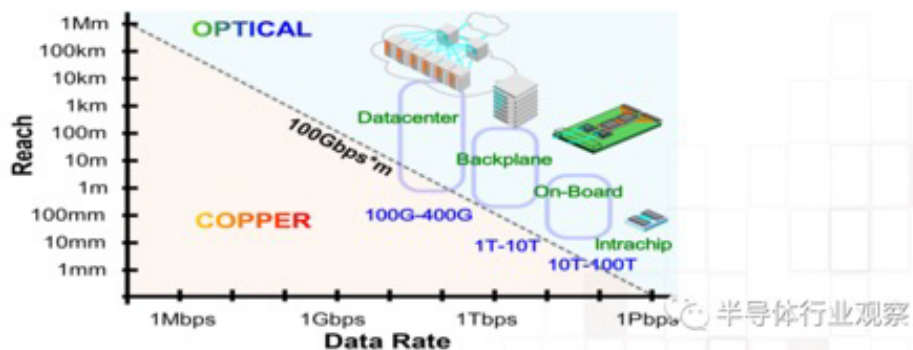
半导体行业观察

余振华接着说,如下图所示,市场对 SiPh 有很迫切的需求。



The Need for SiPh

- The explosive growth of internet traffic has driven data centers to turn to Silicon photonics (SiPh) for its high speed and low power consumption.
- Compact Universal Photonic Engine is proposed to address the need for wide range applications on performance/power and volume/cost.



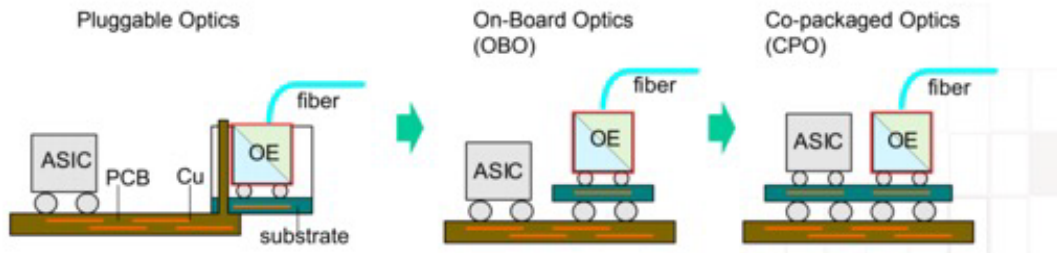
半导体行业观察

而 SiPh 的封装也在演变。

Evolution of SiPh Package



- Evolution of the SiPh package: from Pluggable Optics, On-Board Optics (OBO), to Co-Packaged Optics (CPO).
- Drive to closer proximity between key components for bandwidth, power efficiency and even cost (eg. super-large size substrate)

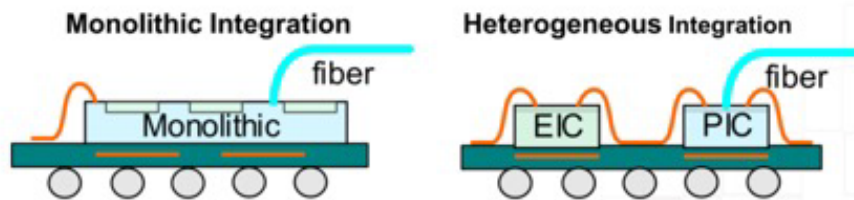


半导体行业观察

Photonic Engine Integration Schemes



- High data rate and power efficiency could be achieved by monolithic integration.
- Technology node disparity between EIC and PIC is the main economic challenge for monolithic integration.
- COUPE, being a heterogeneous integration technology, is designed to minimize electrical coupling loss.



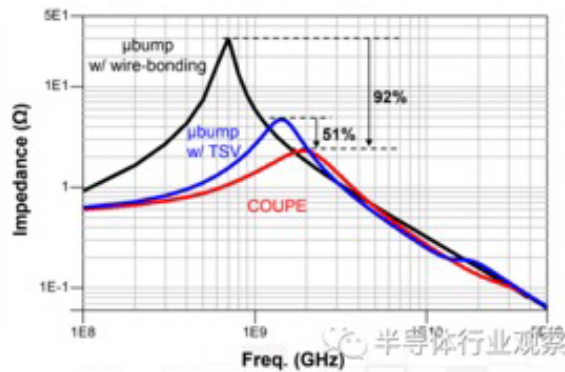
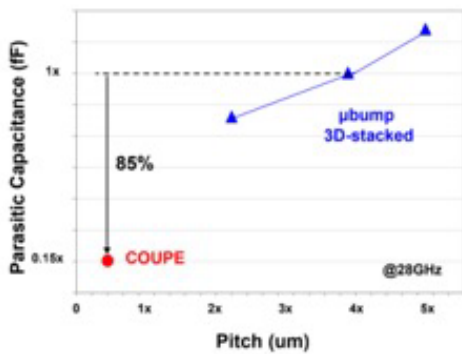
半导体行业观察

其中,异构集成技术 COUPE,则成为其中的一个选择。如下图所示,这个技术在多方面都有领先的表现。

首先在电气接口方面:

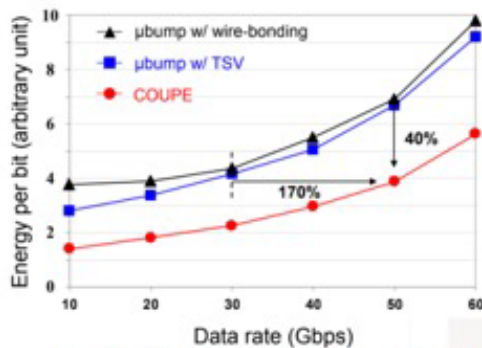
Electrical Interface (1/2)- Parasitics and PDN Impedance

- COUPE has low parasitics at EIC-PIC Electrical Interface, 85% lower capacitance compared with uBump
- 51% reduction in PDN impedance comparing with uBump w/ TSV; and 92% reduction of uBump w/ wire-bonding.



Electrical Interface (2/2)- Power Consumption

- Power Consumption Comparison with uBump-based PE:
 - COUPE has 40% lower power consumption at the same speed.
 - COUPE can reach 170% speed gain with the same power.



Photonics Engine's TX Power Consumption

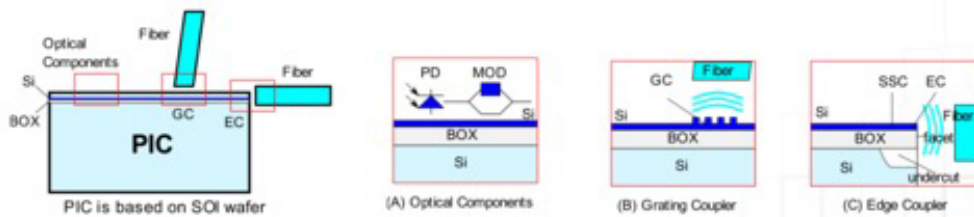
再看光接口方面：

Optical Interface (1/2): Overview



Light can be coupled either vertically (GC) or horizontally (EC):

- GC, as a surface coupler, requires cleanliness and integrity of the optical path from grating surface all the way to the fiber core.
- For EC, care must be taken to prevent the expanded optical mode from overlapping with the bulk silicon underneath SSC.

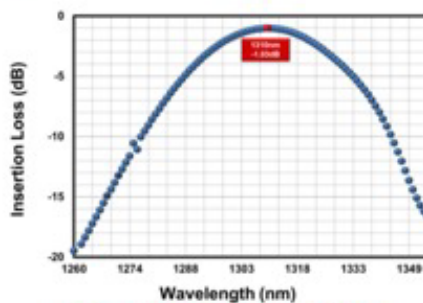


半导体行业观察

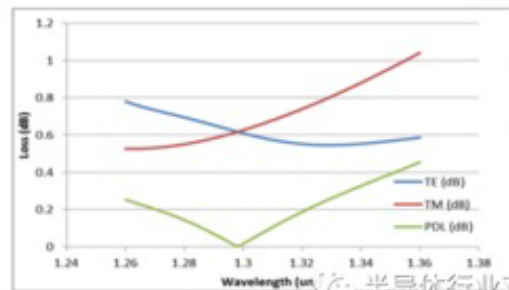
Optical Interface (2/2): GC and EC with COUPE



- GC is designed with optical path intrinsically sealed with dielectrics all the way to the fiber attachment unit, achieving IL (1D apodized GC) -1.03dB @1310nm for TE
- EC avoids optical loss due to beam overlapped with underneath Si, achieving IL - 0.6dB @1310nm for TE&TM modes
- With COUPE, GC and EC can built with essentially the same structure.



Grating Coupler Insertion Loss



Edge Coupler Insertion Loss

半导体行业观察

余振华最后总结道,包括 3D Fabric 在内的台积电封装技术将在未来发挥重要作用。

Summary



- TSMC 3DFabric™ technology platform continues packaging envelop scale-up, and 3D stacking interconnect density scale-down to drive energy efficient performance.
- Leverage 3DFabric to integrate innovative SiPh components (COUPE) to further enhance system performance and function
- Thermal wall could also be addressed for more 3D stacking by new micro-cooling systems- ISMC and DWC.

半导体行业观察

(来源: 半导体行业观察)

台媒：台积电从10月起全线涨价

晶圆代工产能供不应求，据 DIGITIMES 报道，市场传出，晶圆代工龙头台积电打破沉默，近日通知全数 IC 设计客户将扩大晶圆代工费用调涨范围，第 4 季起全线调涨，12 纳米以下先进制程涨价一成，12 纳米以上成熟型制程调涨两成，有助毛利率提升，守稳五成大关。台积电不评论价格动向。

各式芯片自去年第 4 季起开始紧缺，带动上游晶圆代工产能供不应求，联电、力积电、世界先进等代工厂早有不同程度的涨价，以联电、力积电涨幅最大，甚至出现产能竞标，推估今年全年涨幅应该落在五成上下。

台积电股价昨天上涨 6 元、收 572 元，成为台股昨天收红的多头指标，外资买超 3,070 张，终止连五卖；周二 ADR 早盘涨约 1.7%。

业界人士透露，台积电身为业界龙头，今年仅取消价格折让，并在年初调整特定高压制程、占比极少的代工费用。随着晶圆产能持续紧缺到明年，7 月起，晶圆代工厂提早和 IC 客户讨论明年度的产能规划和价格时，就已经传出台积电对客户调涨部分制程的代工费用，12 吋制程调涨两成，8 吋涨价一成。

然而，眼见其他晶圆代工同业涨势未歇，且经过今年以来的接连涨价后，联电等同业的部分制程代工费用竟然还超过台积电；而台积电在先进制程投资规模庞大，回收期拉长，造成毛利率面临五成保卫战，因此重新思考定价策略，近日全面通知 IC 设计客户将全线涨价。

据了解，台积电这次涨价以 12 纳米为分野，需求相对不紧张的 12 纳米以下先进制程第 4 季将调涨一成；需求紧缺的 12 纳米以上成熟制程则调涨两成。台积电维持一贯态度表示，不评论价格动向。

业界认为，台积电原本坚持不涨价，但在这一波大投资趋势和晶圆代工产能紧缺中，反而让台积电的毛利率面临压力，这次顺应市场趋势调涨，不但反映市场需求，也确保投资价值能够反映在毛利率上。

台积电 7 月合并营收降到 1,245.5 亿元，月减 16.1%，但仍较去年同期增加 17.5%。随着大客户苹果最新 A15 处理器放量生产，市场预期台积电 8 月和 9 月营收将会回升。

台积电预估，第 3 季美元计价营收介于 146 亿到 149 亿美元之间，以新台币兑美元汇率 27.9 元的假设下，合并营收介于 4,073.4 亿至 4,157.1 亿元，季增 9.5% 到 11.7%，平均毛利率介于 49.5% 至 51.5%，营业利润率介于 38.5% 至 40.5% 之间。

台積電年底調漲代工費用概況

項目	說明
12奈米以下先進進程	<ul style="list-style-type: none"> ●先進製程投資成本高，但客戶為蘋果、英特爾、高通、超微、聯發科等重量級客戶 ●漲價幅度大約一成
12奈米以上成熟製程	<ul style="list-style-type: none"> ●成熟型製程新增產能設備成本高，擬將折舊攤提成本轉由全數製成共同承擔 ●漲價幅度大約兩成

資料來源：採訪整理

半導體行業觀察

晶圓一哥漲價牽動廣泛

台积电 10 月起全面涨价，对产业链而言，由于台积电市占率超过五成，冲击范围更广，从 IC 设计客户到 PC、手机、电视、汽车、家电等各式终端产业，明年势必又将面临新一波成本上扬的压力。

由于晶圆代工费用上扬、成本大增，今年以来，包括驱动芯片、电源管理芯片、网通芯片、音效芯

片、微控制器(MCU)的售价跟着喊涨,成为推动今年电子业成本上升的主要原因。

除了零组件涨价外,再加上运价和各类原物料成本高涨,终端产品售价也开始出现不等幅度的上扬,是这一波全球通膨的元凶之一。

就产业链来说,今年晶圆代工龙头台积电的价格相对稳定,虽然曾针对过去单价极低的少数制程调涨一点价格,多数客户只有被取消传统的价格折让,算是扮演稳定市场价格的力量。

但也正因为台积电的不涨价,使用台积电制程的 IC 设计客户,连带无法大动作对客户端争取调整售价,以至于今年出现采用联电、力积电制程的 IC 设计厂,向客户端大涨售价,毛利率反而大跃进的奇怪现象。

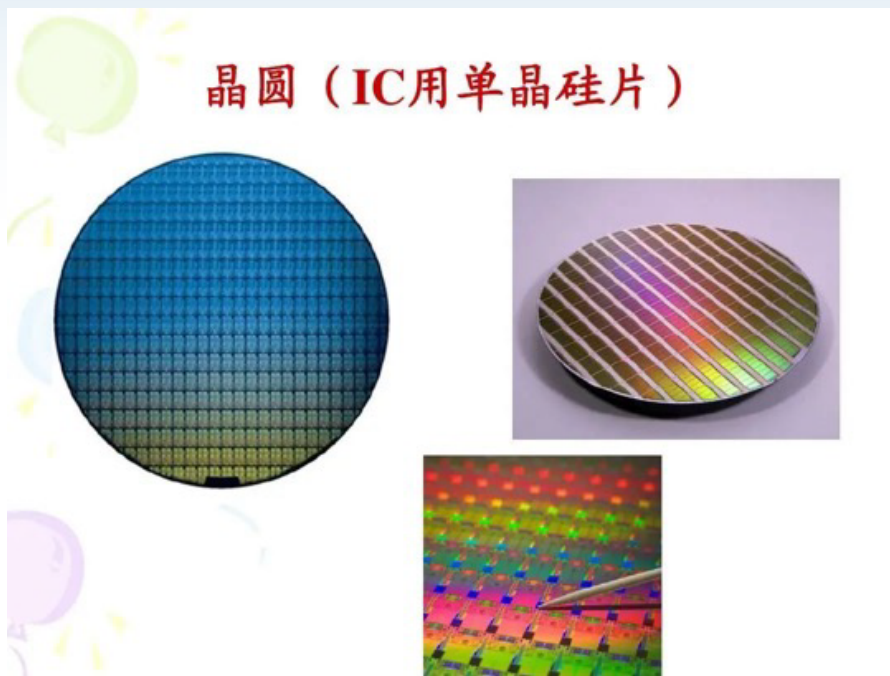
随着这次台积电改变策略,不再冻涨,在台积电投片的 IC 设计厂势将向客户端反映成本,恐怕又要掀起产业链另一波零组件、甚至终端产品价格上扬。

只不过,随着终端市场通膨警铃已经响起,若推升新一波涨幅,对市场恐怕是短多长空。

(来源: 半导体行业观察)

众合科技子公司拟建设 半导体级硅单晶基地

8月19日晚，众合科技公告称，公司控规子公司浙江海纳半导体有限公司（下称“浙江海纳”）拟投资不超过5.2亿元建设国产半导体级中大尺寸单晶基地项目，加速布局中大尺寸硅单晶产品市场。



众合科技表示，公司控股子公司浙江海纳半导体有限公司（以下简称“浙江海纳”）是公司泛半导体业务板块的核心经营主体。上述项目是为了解决自身单晶产能不足的问题，促进整体半导体硅片等产品优化升级和品质提升，满足国内中大尺寸半导体硅片日益凸显的国产化需求，顺应半导体硅片行业大尺寸、功能化的行业发展趋势，提效降本。

公司表示，基地为6-8英寸半导体级单晶硅生产及12英寸半导体级单晶硅研发，项目总投资不超过5.2亿元，将依靠浙江海纳自身的专业团队、外部协作专家，采用自有技术或引进海外（日本）的先进长晶技术，建设年产750吨6-8英寸半导体级单晶硅（含轻掺单晶和重掺单晶）的生产基地，并完成12英寸半导体级单晶硅相关生产技术的研发。项目资金来源为

银行贷款、公司或项目公司自有和自筹。公司根据单晶市场情况，生产基地项目的建设将分阶段实施。

目前在半导体单晶硅片的生产过程中，用电量较大的主要在拉晶环节，若将公司拉晶环节迁移至电力成本较低的地区（例如山西0.30元/度），预计营业成本将下降15%以上，有助于提升浙江海纳的利润率。

同时，公司表示，本次拟新建的单晶硅基地有助于提升浙江海纳单晶产能，解决现有单晶硅自身供给不足的发展瓶颈，并为浙江海纳后续的产品结构优化和产品品质提升打开空间，从而有效提升公司核心竞争力，也有助于浙江海纳突破现阶段中小尺寸（4-6英寸）产品的业务天花板，往更大尺寸方向发展，符合公司“一体双翼”中的“泛半导体之翼”的整体发展规划；本项目的实施，有助于公司加快半导体领域国产替代进口的产品战略，突破关键技术，引领行业发展，符合国家芯片材料国产化战略。

同日，众合科技披露半年报，上半年实现营业收入 12.36 亿元，同比微降 0.05%；实现归属于上市公司股东的净利润 6693.71 万元，同比增长 185.5%。

公司表示，报告期内延续了去年快速增长的态势，创下历史同期新高。“智慧交通 + 泛半导体”两大主营业务实现营收 12.34 亿元，较去年同期的 9.16 亿元增长 34.72%。其中，智慧交通和泛半导体业务营收分别为 10.84 亿元和 1.5 亿元，毛利率分别为 32% 和 42%，同比分别增长 3 个百分点和 9 个百分点。

对于泛半导体业务毛利率的大幅提升，公司解释称，主要是订单量和生产负荷饱满，产能利用率提升，产销量上涨形成规模经济，降低单位成本；毛利率高的抛光片产销量和销售额占比提升明显，带动业务综合毛利率提升。

（来源：微电子制造）

杭州晟元数据安全技术有限公司



晟元数据是一家以芯片设计和算法研究为基础、面向视觉识别和数据安全方向的人工智能高新技术企业。2006年成立至今，公司立足于“以芯片为载体、以安全为核心、以算法为灵魂”的产品研发定位，逐渐成为人工智能及信息安全行业的引导者。

晟元坚持自主研发道路，拥有算法、芯片技术经验丰富的产品研发团队，技术成果处于行业领先地位。作为浙江省隐形冠军、省级高新技术企业，晟元参与制定了指纹识别、智能系统身份识别等多项国家标准，获得了200多项自主知识产权专利及软件著作权，15项集成电路设计版权。与此同时，公司产品已通过国家密码局安全认证、公安部检测、WBF 微软认证等。

专注技术研发 14 年，晟元勇于创新技术，不断攀登产品高峰，引领着行业向前发展。

晟元产品：

1. 指纹 / 二维码 / 指静脉算法 AI 芯片

AS801 生物识别及二维码识别芯片

低功耗、免晶振、丰富外设接口

异构双核高性能高安全 SOC

符合国密二级和 EAL4+ 要求

广泛应用于生物识别应用，二维码应用及自动读表等图像处理应用



2. 信息安全芯片

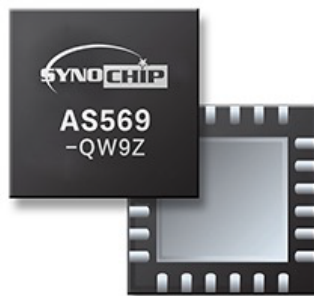
AS569 信息安全芯片

国内领先纳米工艺安全芯片

主频高、速度快、容量大

EAL4+ 荣誉认证

广泛应用于金融、物联网安全领域



3. 信息安全芯片

AS532H 信息安全芯片

累计出货量达千万颗

外围接口丰富

内存资源充足



4. 指纹算法识别芯片

AS608 指纹算法识别芯片

拥有全国指纹安全识别芯片市场 70% 份额
高性价比,免晶振、免 LDO 设计
算法性能优越,支持 360° 自学习功能
适用于物联网安全、指纹锁、指纹 U 盘 /key
等领域



5. 指纹安全算法识别芯片

AS578 指纹安全算法识别芯片

指纹安全识别芯片先驱
内嵌晟元第六代指纹识别算法
国密二级荣誉认证,符合 EAL4+ 安全级别广
泛应用于指纹锁行业



杭州芯耘光电科技有限公司



杭州芯耘光电科技有限公司成立于 2017 年 1 月，主要从事高速模拟芯片、光电子产品的开发、生产、销售，面向云计算、高速链接和传输、5G 等领域提供整套解决方案，是少数具备全球先进高速硅光子产品及高速模拟集成电路产品、技术竞争力的高科技光通信企业。公司总部位于杭州市余杭经济技术开发区，并在北京、深圳、成都等地设有分支机构和服务中心。

公司拥有核心研发人员 100 余人，核心高管及资深研发、技术人员均来自中外顶尖的半导体和光通信企业或相关行业学术机构，国内外一流大学硕博学历占比较高。芯耘光电凭借具有显著竞争力的人才优势和突出的自主研发能力，成功通过“浙江省中小型科技企业”、杭州市“雏鹰计划”企业等认定，承担杭州市集成电路产业化项目，签约杭州市余杭区数字经济项目，并通过 ISO9001 及 ISO14001 认证。

公司现阶段产品聚焦于满足不断增长的数据中心及 5G 产业投资的市场需求，已经完成 100Gps 速率核心器件（PIN ROSA/APD ROSA/EML TOSA/DML TOSA）和芯片（TIA/DRV/MZM/CDR/PMU/MCU）的研发与量产，成为全球少有的具备全套知识产权并能提供整套 100G 光模块解决方案的光通信企业，覆盖从核心的光电器件到高速电芯片，再到针对不同传输距离、温度场景（包括城域接入、数据中心互联）的解决方案，并实现相关产品的设计开发、封装制造和销售的全产业链布局，可灵活满足用户的不同应用需求。芯耘光电上述解决方案在业界处于先进水平，并可满足进口同类产品国产替代的要求。目前，芯耘光电产品全面覆盖国内各主要市场，并在日、韩等海外市场获得好评，为全球多家主流通信运营商在 5G 的布局建设上提供可靠的解决方案及技术支持。

沿着既定的产品开发目标，芯耘光电计划在 2020 年逐步推出满足下一代数据中心和 5G 传输要求的高性价比硅光子产品，实现高端光、电芯片的完全国产替代并在面向数据中心内部高速互联的 100G/400G 硅光子领域获得突破。除了基于硅光子平台的 5G 电信和数通市场产品，芯耘光电未来将以市场需求为主导，以硅光子技术平台、激光器技术及高速模拟技术等技术平台为依托，在下一代 8K 视频传输、车载激光雷达、高速车内总线、MEMS 光电传感器、高性能光子计算芯片等领域进行开拓性的产品布局 and 开发规划。

芯耘光电产品：

产品类型	产品型号	产品简介
高速光器件	100G APD ROSA	XY2224 是一款四通道100Gb/s APD 接收光器件，可以应用于30公里/40公里传输，其小型封装、低功耗和高灵敏度的特性可以满足QSFP28的尺寸要求，并适用于电信和数据中心。
	100G PIN ROSA	XY2124是一款四通道100Gb/s PIN TIA接收光器件，可以应用于10公里传输，其小型封装、低功耗和高灵敏度的特性可以满足QSFP28的尺寸要求，并适用于电信和数据中心。

	100G DML TOSA	XY1124是一款四通道100Gb / S发射光器件，可以应用于10~30公里传输。其小型封装、低功耗和高性能的特性可以满足QSFP28的尺寸要求，并适用于电信和数据中心。
	100G EML TOSA	XY1224 是一款四通道100Gb/s 发射光器件，可以应用于10~40公里传输，其小型封装、低功耗和高性能的特性可以满足QSFP28的尺寸要求，并适用于电信和数据中心。
	25G/28G TO-CAN PIN ROSA	XY2121-SFL-A是一款单通道采用TO46封装的25.78Gb /s PIN TO / ROSA。其出色的性能，尤其是高灵敏度和宽工作温度范围，使其成为10KM传输应用的理想的接收器解决方案。 XY2121-SFL-A支持至25.78Gbps的NRZ格式数据速率，可用于IEEE / ITU-T / eCPRI收发器。 XY2121-SFL-A是无铅和RoHS兼容的。可根据要求提供评估板会和开发样品。
	25G/28G TO-CAN APD ROSA	XY2221 是一款单通道28Gb/s TO-CAN APD 接收光器件，可以应用于40公里/60公里（带FEC）传输，其小型封装、低功耗和高灵敏度的特性可以满足SFP28的尺寸要求，并适用于电信和传输领域。
	25G/28G Tunable BOSA	XY6821 是一款单通道25Gb/s、支持DWDM可调的单纤双向的收发一体光器件，可以应用于20公里传输，其小型封装、低功耗、高灵敏度和支持工业级应用的特性可以满足SFP28的尺寸要求，并适用于5G前传网络。
	25G/28G PIN TO-CAN	XY2121-TOL/XY2121-TOL-A是单通道采用TO46封装的25.78Gb / s PIN TO CAN。其出色的性能，尤其是高灵敏度和宽工作温度范围，使其成为10KM传输应用的理想的接收器解决方案。 XY2121-SFL-A支持至25.78Gbps的NRZ格式数据速率，可用于IEEE / ITU-T / eCPRI收发器。 XY2121-SFL-A是无铅和RoHS兼容的。可根据要求提供评估板会和开发样品。
高速电芯片	1CH×25G/28G TIA	XY5321A/XY5321B 是两款高灵敏度、高带宽的单通道跨阻放大芯片，支持10Gb/s到28Gb/s传输速率，典型功耗在80毫瓦以内，差分跨阻5千欧，并可为PIN-PD提供偏置电压，自带RSSI监控功能。支持PIN或者APD应用。
	4CH×25G/28G TIA	XY5324-BT7/XY5324-BT2 是两款高灵敏度、高带宽的四通道跨阻放大芯片阵列，支持每路10Gb/s到28Gb/s速率，每路典型功耗在80毫瓦以内，差分跨阻5千欧，并提供PD偏置电压，自带RSSI监控功能。支持PIN或者APD应用。
	1CH×25G/28G Diff-Out MZM Driver	XY5221MD是一组低功耗、高增益、高带宽的MZM调制器驱动芯片，支持10Gbps到28Gbps速率传输。此芯片组已经用在芯耘光电的25G可调密集波分复用的单纤双向光器件产品中。
	4CH×25G/28G Diff-Out MZM Driver	XY5224MD是一个四路低功耗、高增益、高带宽的MZM调制器驱动芯片，每路支持10Gbps到28Gbps速率传输。此芯片已经用在芯耘光电100G硅光QSFP28 CWDM4解决方案。

<p>1CH×25G/28G DML Driver</p>	<p>XY5221DD-BT是一种单通道激光驱动器，设计用于与直接调制的25Gb/s激光器接口。偏置电流和调制电流可通过2线串行接口独立编程，同时2线接口还支持输入均衡和交叉点调整的可编程性，带一个Tx禁用功能，可以关闭激光偏压和调制电流，具备IBIAS监控功能。该模拟输出可对激光偏压和/或激光调制电流进行外部监控。有一个片内ADC功能，可用于通过专用背面监视器电流输入引脚测量TX_PWR。ADC还可以配置为测量VCC（可测量每个电源）和IBIAS（平均激光偏置电流）。</p>
<p>4CH×25G/28G DML Driver</p>	<p>XY5224DD-BT是一种四通道激光驱动器，设计用于与直接调制的25Gb/s激光器接口。偏置电流和调制电流可通过2线串行接口独立编程，同时2线接口还支持输入均衡和交叉点调整的可编程性，带一个Tx禁用功能，可以关闭激光偏压和调制电流，具备IBIAS监控功能。该模拟输出可对激光偏压和/或激光调制电流进行外部监控。有一个片内ADC功能，可用于通过专用背面监视器电流输入引脚测量TX_PWR。ADC还可以配置为测量VCC（可测量每个电源）和IBIAS（平均激光偏置电流）。</p>
<p>1CH×25G/28G Dual CDRS</p>	<p>XY5121B是一种单通道24.3 Gbps/25.78 Gbps/28.05 Gbps CDR，具有自适应输入均衡功能，用作光学模块和有源光缆（AOC）中的传输设备。对于100GbE和EDR Infiniband，CDR retime为25.78 Gbps，OTU4为27.95 Gbps，32G光纤通道应用为28.05 Gbps。每个通道包括自适应输入均衡，一个高性能的CDR，和一个输出驱动器可编程输出摆动和去加重。CDR可Bypass来支持旧的或非标准的数据速率。集成了PRBS9/31模式发生器和PRBS31错误检测器等诊断功能。该设备由单一的1.8V电源供电，提供业界领先的低功耗，并通过2线串行接口控制。</p>
<p>4CH×25G/28G CDR</p>	<p>XY5124是一种四通道24.3 Gbps/25.78 Gbps/28.05 Gbps CDR，具有自适应输入均衡功能，用作光学模块和有源光缆（AOC）中的传输设备。对于100GbE和EDR Infiniband，CDR retime为25.78 Gbps，OTU4为27.95 Gbps，32G光纤通道应用为28.05 Gbps。每个通道包括自适应输入均衡，一个高性能的CDR，和一个输出驱动器可编程输出摆动和去加重。CDR可Bypass来支持旧的或非标准的数据速率。XY5124采用4 mm x 4.5 mm芯片规模封装（CSP），集成了PRBS9/31模式发生器和PRBS31错误检测器等诊断功能。该设备由单一的1.8V电源供电，提供业界领先的低功耗，并通过2线串行接口控制。</p>
<p>1CH Bi-Direction 25/28G CDR+DML Driver</p>	<p>XY5921DB是一款为SFP28模块优化高度集成的CDR收发器，数据速率从8.5Gbps到28.1Gbps。它包括双向信号调节器和用于驱动外部传输光组件（TOSA）的激光驱动器，以低制造成本实现高光学性能。其典型功耗为0.6W，与低功耗跨阻放大器一起使用时，可实现1W SFP28模块功耗。发射输入均衡器可补偿高达10dB的信道损耗。24.3Gbps到28.1Gbps的reference-free CDR，可以Bypass。DML发射机驱动外部TOSA，并提供一套可编程的调谐控制，以便在模块开发和生产过程中轻松优化眼图质量，并集成了允许系统和光学环回的功能。工</p>

		作条件可在-40°C至+100°C的外壳温度范围内, 设备的主电源电压为2.97V至3.47V, 输出电源 (VCCTO) 为2.97V至4.0V。
	4CH×25G/28G CDR+EML Driver	XY5924E是一种四通道24.3 Gbps/25.78 Gbps/28.05 Gbps CDR, 具有自适应均衡和外部调制激光器 (EML) 驱动器, 用作100G光收发器的传输设备。对于100GbE和EDR Infiniband, CDR的retime为25.78 Gbps, OTU4为27.95 Gbps, 32G光纤通道应用为28.05 Gbps。每个通道包括自适应输入均衡、高性能CDR和EML驱动器, 可调输出摆幅高达2.5 Vpp。CDR可以直接Bypass来支持原有或非标准的数据速率。
	1CH×25G/28G Single-Out MZM Driver	XY5221-QTS是一种单通道28G/56G单端输入输出限幅驱动器。它提供高达45GHz的高带宽和>6Vpp的输出振幅, 约1W低功耗, 专为单端驱动MZM调制器设计。芯片以裸Die形式提供。
微控制器芯片	Si-P Control Chip	XY5B24是一款高精度模拟控制器, 用于精准诊断控制可调LanWDM/CWDM 硅光芯片。XY5B24 包含丰富的模拟外设: 一个12位(11位精度)的多通道SAR-ADC, 十二通道的VDAC, 四通道用于激光器, 范围在0mA到300mA之间的IDAC, 十一通道用于加热器, 范围在0mA到35mA之间的IDAC, 高精度温度传感器。
电源、温控芯片	1CH Boost Converter for APD Bias	XY5C21 是一款固定频率400千赫兹, 可升压至32伏的电源芯片, 电阻可调的APD电流监控可高达4毫安, 工作电压从2.8伏到5.5伏。
	4CH Boost Converter for APD Bias	XY5C24是一款固定频率的DC-DC升压电源芯片, 集成4路独立通道输出, 每路包含独立的APD电流监控功能。输出电压最大可达32V, 输出电流监控最大4mA, 输出电压和输出电流保护可通过软件调节。芯片工作电压2.8伏到5.5伏, 典型值3.3V。

北京网讯科技有限公司



北京网讯科技有限公司是一家专门从事集成电路高端芯片设计、提供网络与存储产品解决方案的高科技企业。公司成立于2014年5月，总部位于北京市海淀区玉泉慧谷科技园区，在浙江杭州设有分公司。

公司成功研制了自有知识产权的万兆以太网控制器芯片、适配器和千兆以太网控制器芯片、适配器，突破了一系列计算机网络领域高端芯片设计的难题，在网络安全和网络虚拟化等方面达到较高水平。

万兆以太网控制器芯片通过了由倪光南等30位行业专家组成的鉴定委员会对该项科技成果的鉴定，并获得了2018年度“CICC科学技术进步一等奖”。

公司以太网控制器产品除兼容主流服务器、PC等平台。经过规模化稳定运行，产品的技术成熟性、先进性和创新性得到了充分验证，可广泛应用在各行业信息领域。

网讯科技产品：

产品类别	产品型号	产品简介
网络控制器 芯片	千兆通用 类WX1860A2	网讯千兆以太网控制器芯片支持四端口和双端口千兆位以太网设计，具有4个完全集成的千兆位以太网媒体访问控制（MAC）、物理层（PHY）模块和4个可以连接到外部PHY的RGMII接口。它可用于PC服务器、嵌入式网络设备中。
	千兆通用 类WX1860A4	网讯千兆以太网控制器芯片支持四端口和双端口千兆位以太网设计，具有4个完全集成的千兆位以太网媒体访问控制（MAC）、物理层（PHY）模块和4个可以连接到外部PHY的RGMII接口。它可用于PC服务器、嵌入式网络设备中。
	千兆专用 类WX1860AL2	网讯千兆以太网控制器芯片支持四端口和双端口千兆位以太网设计，具有4个完全集成的千兆位以太网媒体访问控制（MAC）、物理层（PHY）模块和4个可以连接到外部PHY的RGMII接口。它可用于PC服务器、嵌入式网络设备中。
	千兆专用 类WX1860AL4	网讯千兆以太网控制器芯片支持四端口和双端口千兆位以太网设计，具有4个完全集成的千兆位以太网媒体访问控制（MAC）、物理层（PHY）模块和4个可以连接到外部PHY的RGMII接口。它可用于PC服务器、嵌入式网络设备中。
	万兆通用 类SP1000A	网讯万兆以太网控制器芯片多应用于服务器平台上，具有局域网性能加速、网络安全、网络融合、网络虚拟化、数据中心桥接等多项功能。作为国内一款具有自主知识产权的企业级万兆以太网控制器芯片，对打破国外垄断，确保国家信息安全具有十分重要的意义。

	万兆专用类WX1820AL	网迅万兆以太网控制器芯片多应用于服务器平台上，具有局域网性能加速、网络安全、网络融合、网络虚拟化、数据中心桥接等多项功能。作为国内一款具有自主知识产权的企业级万兆以太网控制器芯片，对打破国外垄断，确保国家信息安全具有十分重要的意义。
网络适配器	千兆专用类SF400HT	网迅千兆以太网适配器包含四个千兆以太网端口，具有集成的硬件加速功能，能够执行TCP/UDP/IP校验和分载及TCP分段任务。产品具有1000BASE-T/100BASE-T/10BASE-T自适应传输特性，能够兼容不同速度的网络设备。使用后可以将台式机、服务器主机等网络设备轻松升级到千兆网络。
	千兆专用类SF200HT	网迅千兆以太网适配器包含二个千兆以太网端口，具有集成的硬件加速功能，能够执行TCP/UDP/IP校验和分载及TCP分段任务。产品具有1000BASE-T/100BASE-T/10BASE-T自适应传输特性，能够兼容不同速度的网络设备。使用后可以将台式机、服务器主机等网络设备轻松升级到千兆网络。
	千兆通用类SF200T	网迅千兆以太网适配器包含二个千兆以太网端口，具有集成的硬件加速功能，能够执行TCP/UDP/IP校验和分载及TCP分段任务。产品具有1000BASE-T/100BASE-T/10BASE-T自适应传输特性，能够兼容不同速度的网络设备。使用后可以将台式机、服务器主机等网络设备轻松升级到千兆网络。
	千兆通用类SF400T	网迅千兆以太网适配器包含四个千兆以太网端口，具有集成的硬件加速功能，能够执行TCP/UDP/IP校验和分载及TCP分段任务。产品具有1000BASE-T/100BASE-T/10BASE-T自适应传输特性，能够兼容不同速度的网络设备。使用后可以将台式机、服务器主机等网络设备轻松升级到千兆网络。
	万兆通用类RP1000P2SFP	网迅万兆以太网适配器自2018年以来，已在多个国产主流服务器平台上应用，社会、经济效益显著。可广泛应用在党政、金融、电力、能源、交通、电信等行业信息领域，为国家重要信息网络数据的安全提供可控能力。
	万兆专用类RP2000P2SFP	网迅万兆以太网适配器自2018年以来，已在多个国产主流服务器平台上应用，社会、经济效益显著。可广泛应用在党政、金融、电力、能源、交通、电信等行业信息领域，为国家重要信息网络数据的安全提供可控能力。
	万兆专用类RP2000P2SFP-SW	网迅万兆以太网适配器自2018年以来，已在多个国产主流服务器平台上应用，社会、经济效益显著。可广泛应用在党政、金融、电力、能源、交通、电信等行业信息领域，为国家重要信息网络数据的安全提供可控能力。 适配申威、飞腾、龙芯等平台
	CPU	WXE30 CPU

		用。WXU50支持RV64I指令集，具有五级流水线，具备MMU内存管理单元，面向一般嵌入式应用。两款处理器均具备JTAG调试接口，支持32个外部中断源。 基本参数如下： 性能：1.72 DMIPS/MHz；频率：1.6GHz @ tsmc28； 功耗：0.034 mW/MHz
	WXU50 CPU	本公司开发基于RISC-V开源架构指令集的CPU IP。RISC-V是加州大学伯克利分校设计并发布的一种开源（BSD License）指令集架构，其目标是成为指令集架构领域的Linux，应用覆盖IoT（Internet of Things）设备、桌面计算机、高性能计算机等众多领域。本公司基于Rocket RISC-V开源项目二次开发了WXE30和WXU50两款处理器。其中WXE30支持RV32I指令集，具有三级流水线，面向面积功耗优化的IOT应用。WXU50支持RV64I指令集，具有五级流水线，具备MMU内存管理单元，面向一般嵌入式应用。两款处理器均具备JTAG调试接口，支持32个外部中断源。 基本参数如下： 性能：1.72 DMIPS/MHz；频率：1.6GHz @ tsmc28； 功耗：0.034 mW/MHz
闪存控制器	SSD Controller	企业级控制器，最大容量16T，支持PCIE Gen3X4、PCIE Gen3X8、NVME 1.3，支持双端口；NAND接口：1.8/1.2V，兼容ONFI4，Toggle3，最高800Mbps；顺序读/写速度：6.0GB/s，3.2GB/s
IP	100G/25G/10G以太网控制器IP	支持100G/25G/10G以太网协议；线速数据报解析；在本公司万兆以太网控制器芯片中有实际应用。
	PCIE DMA IP	高性能的数据通道最高支持PCIE GEN3 x8；灵活可编程数据结构；在本公司万兆以太网控制器芯片中有实际应用。



hicc



**杭州国家集成电路设计产业化基地有限公司
杭州国家集成电路设计企业孵化器有限公司**

地址：杭州市滨江区六和路368号海创基地北楼四楼B4092室
投稿：incub@hicc.org.cn
官网：www.hicc.org.cn
电话：86- 571- 86726360
传真：86- 571- 86726367

